

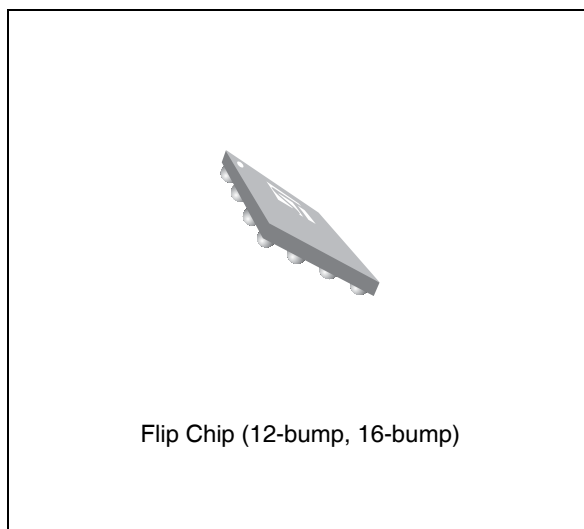


# STCD22x0, STCD23x0, STCD24x0

## 多通道时钟分配电路

### 产品特性

- 2, 3 或 4 路输出缓冲时钟分配
- 单端方波 (或正弦波) 时钟输入
- 轨到轨 (0 V 到 VTCXO) 方波输出
- 每路输出拥有独立使能引脚
- 1.8 V 高 PSRR (电源抑制比) LDO, 可用于外部时钟源供电 (VTCXO)
- 无需交流耦合电容
- 超低相位噪声和待机电流
- 通用系统时钟请求, 漏极开路输出, 低有效
- 时钟使能信号极性可工厂编程 (STCD23x0)
- 选择引脚允许用户配置时钟使能信号极性 (STCD22x0 和 STCD24x0)
- 输出到输出及输出到输入高隔离度
- 2.5 V 到 5.1 V 电池电压
- 每个输出通道 40 pF 的最大负载驱动能力
- 采用芯片级封装 (CSP)
- 工作温度范围: -20 °C 至 85 °C



### 应用

- 多模射频的时钟基准
- 基带外设的时钟基准
- 移动互联网设备 (MIDs)

表 1. 器件综述

参考	产品型号	通道	使能极性	封装		
STCD22x0	STCD2200 <sup>(1)</sup>	2- 通道	用户编程	12 焊球倒装 (1.2 mm x 1.6 mm)		
STCD24x0	STCD2400	4- 通道		用户编程	16 焊球倒装 (1.6 mm x 1.6 mm)	
	STCD2410 <sup>(1)</sup>		工厂编程		12 焊球倒装 (1.2 mm x 1.6 mm)	
STCD23x0	STCD2300 <sup>(1)</sup>	3- 通道		工厂编程		12 焊球倒装 (1.2 mm x 1.6 mm)
	STCD2310 <sup>(1)</sup>					
	STCD2320 <sup>(1)</sup>					
	STCD2330 <sup>(1)</sup>					

1. 查询产品供货情况, 请与当地 ST 销售部门联系。

# 内容

<b>1</b>	<b>器件说明</b> .....	<b>5</b>
<b>2</b>	<b>器件综述</b> .....	<b>6</b>
<b>3</b>	<b>器件工作原理</b> .....	<b>12</b>
	3.1 工作原理 .....	12
	3.2 使能极性 .....	13
<b>4</b>	<b>应用信息</b> .....	<b>14</b>
	4.1 LDO 输入电容 .....	14
	4.2 LDO 输出电容 .....	14
	4.3 LDO BYP 引脚 .....	14
	4.4 $\overline{MC_{REQ}}$ 引脚 .....	14
	4.5 相位噪声 .....	15
	4.6 抖动 .....	16
	4.7 输出迹线 .....	16
	4.8 典型应用连接 .....	17
<b>5</b>	<b>典型工作特性</b> .....	<b>19</b>
<b>6</b>	<b>最大额定值</b> .....	<b>27</b>
<b>7</b>	<b>DC 和 AC 参数</b> .....	<b>28</b>
<b>8</b>	<b>封装机械数据</b> .....	<b>31</b>
<b>9</b>	<b>器件命名规则</b> .....	<b>37</b>
<b>10</b>	<b>修订历史</b> .....	<b>38</b>

## 表格列表

表 1.	器件综述	1
表 2.	引脚功能 (STCD22x0, 2 通道)	10
表 3.	引脚功能 (STCD23x0, 3 通道)	10
表 4.	引脚功能 (STCD24x0, 4 通道)	11
表 5.	时钟使能 (EN1-4), 主时钟请求 ( $\overline{MC}_{REQ}$ ) 和 VTCXO 真值表	12
表 6.	时钟信号 (EN1-4), 主时钟输入 (MCLK) 和输出时钟 (CLK1-4) 真值表	13
表 7.	STCD22x0, STCD23x0, STCD24x0 使能极性选型	13
表 8.	绝对最大额定值	27
表 9.	工作和 AC 测量条件	28
表 10.	直流和交流特性	28
表 11.	12 焊球倒装, 封装机械数据	32
表 12.	16 焊球倒装, 封装机械数据	34
表 13.	产品订购信息表	37
表 14.	文件修订历史	38

## 图片列表

图 1.	逻辑框图 .....	6
图 2.	结构框图 .....	7
图 3.	硬件连线图 (主时钟使能低有效) .....	7
图 4.	硬件连线图 (主时钟使能高有效) .....	8
图 5.	12 焊球倒装连接图 (STCD22x0, 2 通道) .....	8
图 6.	12 焊球倒装连接图 (STCD23x0, 3 通道) .....	9
图 7.	16 焊球倒装连接图 (STCD24x0, 4 通道) .....	9
图 8.	抖动 .....	16
图 9.	TD-SCDMA/GSM 双模移动电话射频终端中使用 STCD2400 的典型应用电路 .....	17
图 10.	移动电话的基带外设中使用 STCD24x0 的典型应用电路 .....	18
图 11.	静态电流 vs. 电源电压 (EN1 = EN2 = EN3 = EN4 = 1, 无主时钟输入) .....	19
图 12.	静态电流 vs. 温度 (EN1 = EN2 = EN3 = EN4 = 1, C <sub>load</sub> = 20 pF, 无主时钟输入) .....	19
图 13.	工作电流 vs. 温度 (EN1 = EN2 = EN3 = EN4 = 1, C <sub>load</sub> = 20 pF, V <sub>CC</sub> = 3.8 V, f <sub>MCLK</sub> = 26 MHz) .....	20
图 14.	待机电流 vs. 电源电压 (EN1 = EN2 = EN3 = EN4 = 0, 无主时钟输入) .....	20
图 15.	工作电流 vs. 电源电压 (EN1 = EN2 = EN3 = EN4 = 1, f <sub>MCLK</sub> = 26 MHz, C <sub>load</sub> = 20 pF) .....	21
图 16.	工作电流 vs. 主时钟输入电压水平 (EN1 = EN2 = EN3 = EN4 = 1, f <sub>MCLK</sub> = 26 MHz, C <sub>load</sub> = 20 pF) .....	21
图 17.	工作电流 vs. 主时钟频率 (EN1 = EN2 = EN3 = EN4 = 1, C <sub>load</sub> = 20 pF) .....	21
图 18.	STCD2400 从待机状态到工作状态所需要的恢复时间 (VTCXO 开启) .....	22
图 19.	STCD2400 从关闭到开启所需的恢复时间 (VTCXO 先处于待机状态) .....	22
图 20.	输出时钟上升 / 下降时间 (C <sub>load</sub> = 40 pF) .....	23
图 21.	STCD2400 开启时序 .....	24
图 22.	STCD2400 关闭时序 .....	24
图 23.	相位噪声输入 (来自时钟源, 京瓷 26 MHz 方波晶振 KC2520C26) .....	25
图 24.	相位噪声输出 (包含时钟源和 STCD2400 的加性相位噪声) .....	26
图 25.	12 焊球倒装, 封装机械外形图 .....	31
图 26.	16 焊球倒装, 封装机械外形图 .....	33
图 27.	12 焊球倒装, 封装带卷规格 .....	35
图 28.	16 焊球倒装, 封装带卷规格 .....	36

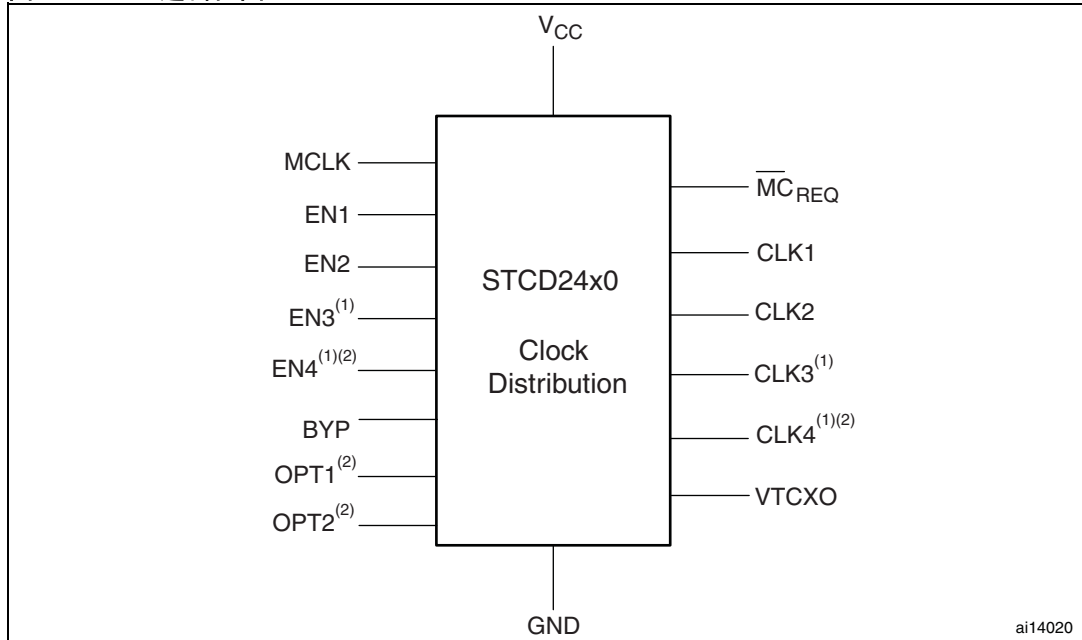
## 1 器件说明

STCD22x0, STCD23x0 和 STCD24x0 是有 2, 3 或 4 路输出的时钟分配电路, 能够接收外部方波或正弦波信号并输出轨到轨 (0 V 至 VTCXO) 方波信号。用于给多模移动射频应用提供通用频率时钟。它同时可以作为时钟基准, 应用于移动电话中的基带外设, 如: WLAN, 蓝牙, GPS 和 DVB-H。STCD22x0, STCD23x0 和 STCD24x0 中由各时钟输出端驱动的器件彼此隔离, 最大限度的降低了这些器件之间的相互干扰。如果相连接的器件不需要时钟, 每一个时钟输出缓冲器都可以被关闭以降低功耗。STCD22x0, STCD23x0 和 STCD24x0 适用于常用的 10 MHz 到 52 MHz 手机主时钟频率。

STCD22x0, STCD23x0 和 STCD24x0 带有一个通用时钟请求 (漏极开路输出, 低有效) 控制外部时钟源; 同时内部集成一个 1.8 V 的高电源抑制比 LDO, 为外部时钟源 (如, TCXO) 提供电源电压。对于使能极性, ST 提供不同的版本。STCD22x0, STCD23x0 和 STCD24x0 分别采用 1.2 mm x 1.6 mm (12 脚), 1.2 mm x 1.6 mm (12 脚) 和 1.6 mm x 1.6 mm (16 脚) 的芯片级封装, 在电池供电电压为 2.5 V 至 5.1 V 范围内工作。工作温度范围为 -20 至 +85 °C。

## 2 器件综述

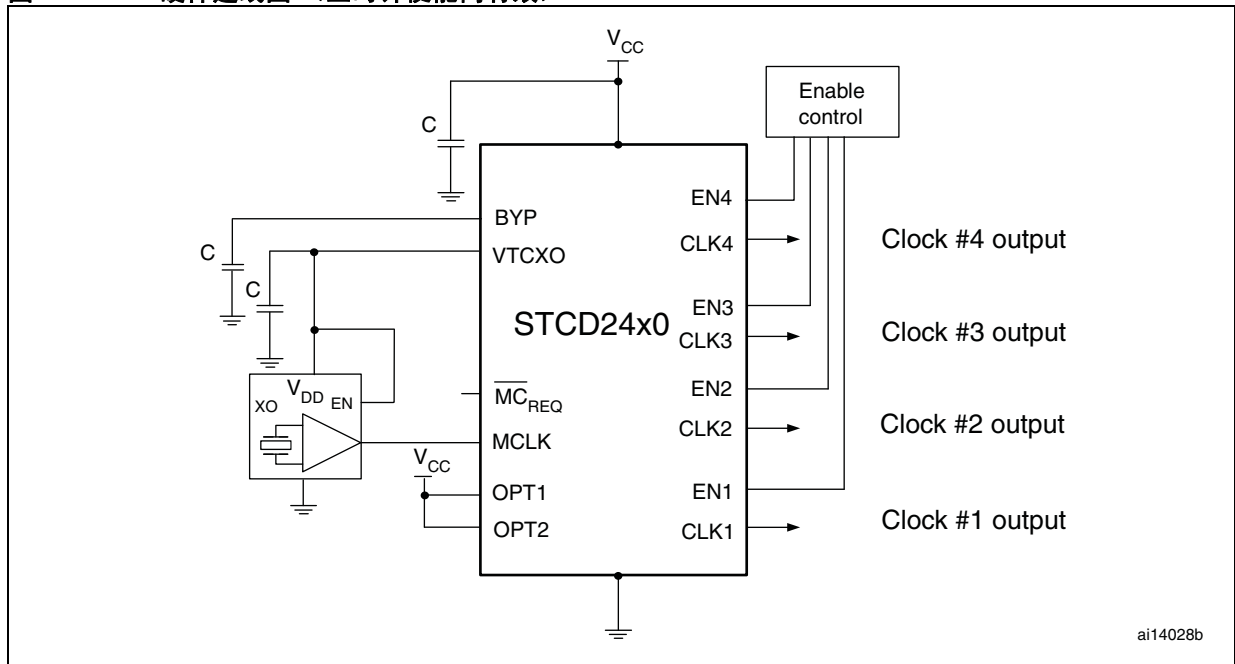
图 1. 逻辑框图



1. STCD22x0 上无 EN3, CLK3, EN4 和 CLK4。
2. STCD23x0 上无 OPT1, OPT2, EN4 和 CLK4。

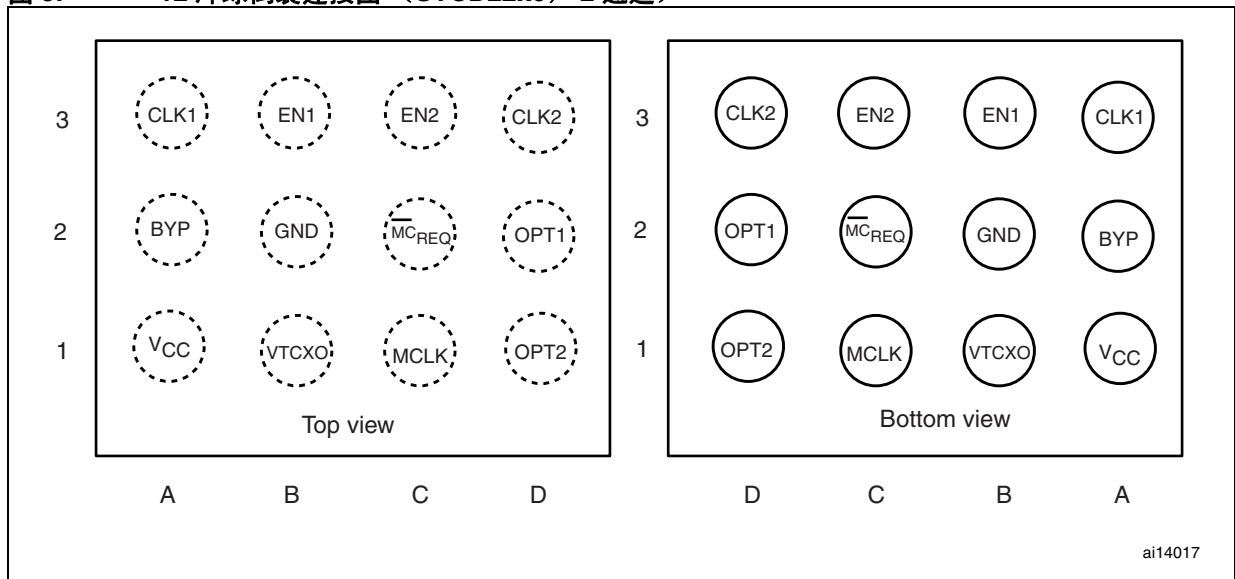


图 4. 硬件连线图（主时钟使能高有效）



ai14028b

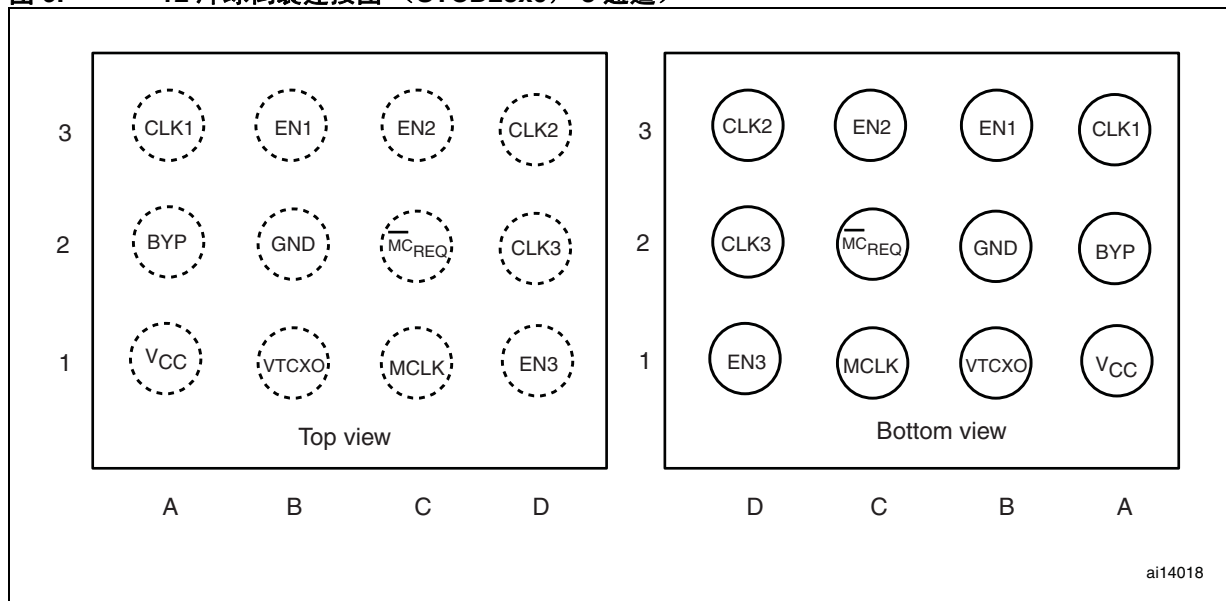
图 5. 12 焊球倒装连接图（STCD22x0, 2 通道）



ai14017

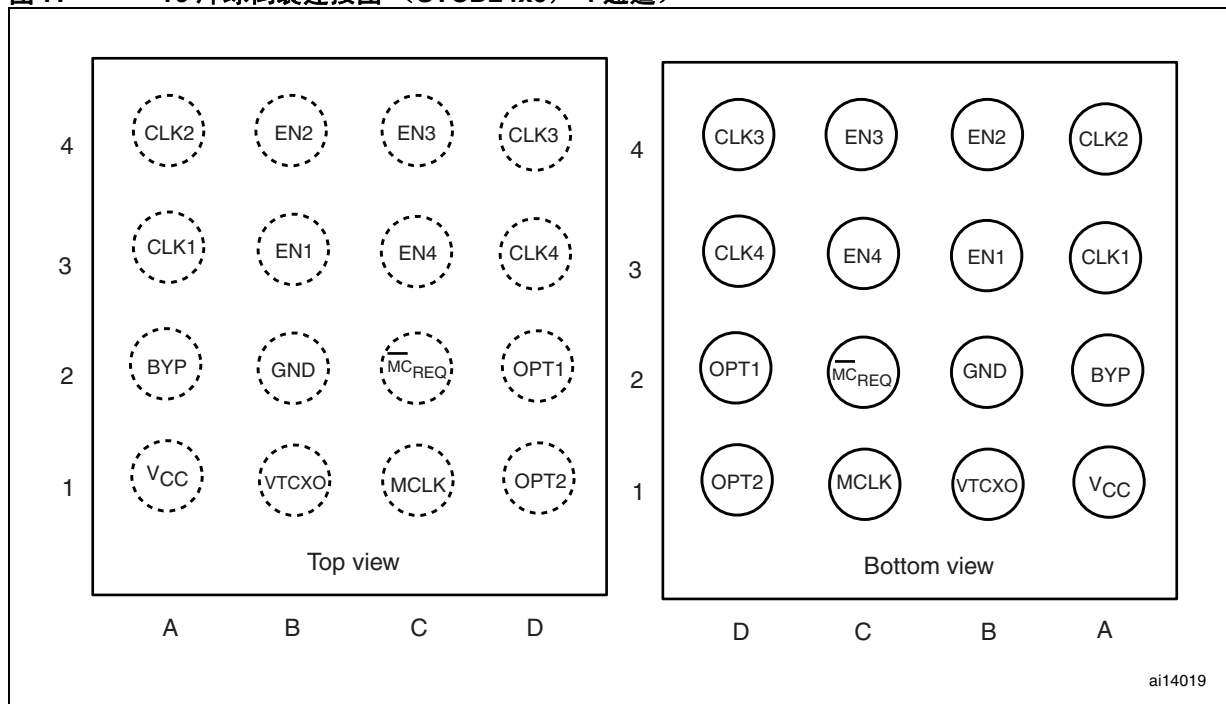
注释：  
OPT1 用于配置 EN1 极性。连接 OPT1 到 V<sub>CC</sub> 以配置 EN1 为高有效，或连接 OPT1 到 GND 以配置 EN1 为低有效。同样，OPT2 用于配置 EN2。

图 6. 12 焊球倒装连接图 (STCD23x0, 3 通道)



注释: EN1~EN3 可为高有效或低有效。ST 提供多种极性选择, 详情请参考第 3.2 章: 使能极性。

图 7. 16 焊球倒装连接图 (STCD24x0, 4 通道)



注释: OPT1 用于配置 EN1 和 EN2 的极性。连接 OPT1 到 V<sub>CC</sub> 以配置 EN1 和 EN2 为高有效, 或连接 OPT1 到 GND 以配置 EN1 和 EN2 为低有效。同样, OPT2 用于配置 EN3 和 EN4。ST 提供不同控制选择, 详情请参考第 3.2 章: 使能极性。

表 2. 引脚功能 (STCD22x0, 2 通道)

引脚代码	引脚名称	说明
A1	V <sub>CC</sub>	电源电压 (与地之间使用 1 μF 电容去耦)
B1	VTCXO	用于外部时钟源的 LDO 输出 (与地之间使用 1 μF 电容去耦)
C1	MCLK	主时钟输入
D1	OPT2	选择引脚 2。在电路板上连接到 V <sub>CC</sub> 或 GND 以现场配置 EN2 为高 / 低有效。详情请参考第 3.2 章: 使能极性。
A2	BYP	旁路电容输入引脚 (应连接一个 10 nF 的电容到地, 以抑制热噪声)
B2	GND	电源地
C2	$\overline{MC}_{REQ}$	主时钟请求信号 (漏极开路, 低有效)
D2	OPT1	选择引脚 1。在电路板上连接到 V <sub>CC</sub> 或 GND 以现场配置 EN1 为高 / 低有效。详情请参考第 3.2 章: 使能极性。
A3	CLK1	时钟输出通道 - 输出 1
B3	EN1	时钟输出通道使能 1 (高 / 低有效可由 OPT1 现场编程)
C3	EN2	时钟输出通道使能 2 (高 / 低有效可由 OPT2 现场编程)
D3	CLK2	时钟输出通道 - 输出 2

表 3. 引脚功能 (STCD23x0, 3 通道)

引脚代码	引脚名称	说明
A1	V <sub>CC</sub>	电源电压 (与地之间使用 1 μF 电容去耦)
B1	VTCXO	用于外部时钟源的 LDO 输出 (与地之间使用 1 μF 电容去耦)
C1	MCLK	主时钟输入
D1	EN3	时钟输出通道使能 3 (高 / 低有效工厂激光编程)
A2	BYP	旁路电容输入引脚 (应连接一个 10 nF 的电容到地, 以抑制热噪声)
B2	GND	电源地
C2	$\overline{MC}_{REQ}$	主时钟请求信号 (漏极开路, 低有效)
D2	CLK3	时钟输出通道 - 输出 3
A3	CLK1	时钟输出通道 - 输出 1
B3	EN1	时钟输出通道使能 1 (高 / 低有效工厂激光编程)
C3	EN2	时钟输出通道使能 2 (高 / 低有效工厂激光编程)
D3	CLK2	时钟输出通道 - 输出 2

表 4. 引脚功能 (STCD24x0, 4 通道)

引脚代码	引脚名称	说明
A1	V <sub>CC</sub>	电源电压 (与地之间使用 1 μF 电容去耦)
B1	VTCXO	用于外部时钟源的 LDO 输出 (与地之间使用 1 μF 电容去耦)
C1	MCLK	主时钟输入
D1	OPT2	选择引脚 2。在电路板上连接到 V <sub>CC</sub> 或 GND 以现场配置 EN3 和 EN4 为高 / 低有效。详情请参考第 3.2 章: 使能极性。
A2	BYP	旁路电容输入引脚 (应连接一个 10 nF 的电容到地, 以抑制热噪声)
B2	GND	电源地
C2	$\overline{MCREQ}$	主时钟请求信号 (漏极开路, 低有效)
D2	OPT1	选择引脚 1。在电路板上连接到 V <sub>CC</sub> 或 GND 以现场配置 EN1 和 EN2 为高 / 低有效。详情请参考第 3.2 章: 使能极性。
A3	CLK1	时钟输出通道 - 输出 1
B3	EN1	时钟输出通道使能 1 (高 / 低有效 OPT1 现场编程)
C3	EN4	时钟输出通道使能 4 (高 / 低有效 OPT2 现场编程)
D3	CLK4	时钟输出通道 - 输出 4
A4	CLK2	时钟输出通道 - 输出 2
B4	EN2	时钟输出通道使能 2 (高 / 低有效 OPT1 现场编程)
C4	EN3	时钟输出通道使能 3 (高 / 低有效 OPT2 现场编程)
D4	CLK3	时钟输出通道 - 输出 3

## 3 器件工作原理

### 3.1 工作原理

STCD22x0, STCD23x0 和 STCD24x0 是有 2, 3 或 4 路缓冲的时钟分配电路。能够接受来自外部时钟源的时钟（方波或正弦波）输入，并且发送 2, 3 或 4 路缓冲轨到轨（0 V 至 VTCXO）方波输出到不同的器件。STCD22x0, STCD23x0 和 STCD24x0 内部集成 1.8 V 的高电源抑制比 LDO（VTCXO），可作为外部主时钟源（如 TCXO）的电源。当负载电流达到限流保护电路的极限值时，该 LDO 阻止流经 PMOS 的电流增长。负载电流降到极限值以下时，限流被释放。

STCD22x0, STCD23x0 和 STCD24x0 的每一个时钟输出都可以被单独开启。如果与该输出相连接的器件处于待机状态而不需要时钟，缓冲输出可以被关闭以节省功耗。一旦缓冲输出被关闭，即被内部下拉接地。如果所有的与之相连接的器件都处于待机状态，STCD22x0, STCD23x0 和 STCD24x0 也将进入待机模式（内部 LDO 也被关闭）以进一步降低功耗。所有的输出使能信号经逻辑“或”后由漏极开路输出（ $\overline{MC}_{REQ}$ ）控制源时钟输出。如果至少一个器件需要输出时钟，LDO 唤醒， $\overline{MC}_{REQ}$  激活时钟源。使能信号，主时钟请求信号和 VTCXO 的真值表参见表 5。使能信号，输出时钟信号和主时钟的真值表参见表 6。

STCD22x0, STCD23x0 和 STCD24x0 内部带有主时钟输入检测电路。如果输入主时钟电压峰峰值低于最低指定值，即使输出被开启，也无时钟输出，且 STCD22x0, STCD23x0 和 STCD24x0 进入待机模式。一旦主时钟电压峰峰值达到最低值，若使能引脚有效，则输出时钟有效。

表 5 和 6 中，使能信号为高有效而  $\overline{MC}_{REQ}$  为低有效。这些使能信号可为高有效或低有效。使能极性在 [第 3.2 章：使能极性](#) 中介绍。客户可根据不同应用选择不同极性。查询产品供货情况请联系 ST 当地的销售部门。

表 5. 时钟使能（EN1-4），主时钟请求（ $\overline{MC}_{REQ}$ ）和 VTCXO 真值表

EN1	EN2	EN3	EN4	$\overline{MC}_{REQ}$	VTCXO
0	0	0	0	1	GND
1	0	0	0	0	1.8 V
1	1	0	0	0	1.8 V
-	-	-	-	0	1.8 V
1	1	1	1	0	1.8 V

注释：“0”代表逻辑低，禁用时钟输出；“1”代表逻辑高，开启时钟输出。该表为高有效真值表。选择使能高/低有效的详情请参见 [第 3.2 章：使能极性](#)。

表 6. 时钟信号 (EN1-4), 主时钟输入 (MCLK) 和输出时钟 (CLK1-4) 真值表

EN1	EN2	EN3	EN4	MCLK	CLK1	CLK2	CLK3	CLK4
0	0	0	0	X	NO CLOCK	NO CLOCK	NO CLOCK	NO CLOCK
1	0	0	0	CLOCK	CLOCK	NO CLOCK	NO CLOCK	NO CLOCK
1	1	0	0	CLOCK	CLOCK	CLOCK	NO CLOCK	NO CLOCK
-	-	-	-	-	-	-	-	-
1	1	1	1	CLOCK	CLOCK	CLOCK	CLOCK	CLOCK

注释: "0" 代表逻辑低而 "1" 代表逻辑高。无时钟输出时, CLKx 脚保持为逻辑低。"X" 代表不理睬。该表为高有效真值表。详细的使能高/低有效选型信息, 参见第 3.2 章: 使能极性。

## 3.2 使能极性

在不同的应用中, 用户可能对使能高有效或低有效 (使能极性) 有不同的需求。 $\overline{MC}_{REQ}$  为低有效。ST 为用户提供不同的解决方案以获得不同的使能极性。

STCD22x0 和 STCD24x0 中, 用户可以在电路板上通过将 OPT1 和 OPT2 连接到 V<sub>CC</sub> 或地来配置使能高有效或低有效。详情请参考表 7。

STCD23x0 中, ST 通过工厂编程为用户提供 4 个使能极性选型。详情请参考表 7。

用户需要注意, OPT1 和 OPT2 必须在电路板上连接到 V<sub>CC</sub> 或地, 这些引脚浮空会引起问题。

表 7. STCD22x0, STCD23x0, STCD24x0 使能极性选型

器件型号	使能极性 (OPT1, OPT2)	使能极性编程方法
STCD2200	OPT1 连接到 V <sub>CC</sub> , EN1 高有效 OPT1 连接到 GND, EN1 低有效 OPT2 控制 EN2	用户编程
STCD2400	OPT1 连接到 V <sub>CC</sub> , EN1 和 EN2 高有效 OPT1 连接到 GND, EN1 和 EN2 低有效 OPT2 控制 EN3 和 EN4	
STCD2410	OPT1 连接到 V <sub>CC</sub> , EN1 高有效 OPT1 连接到 GND, EN1 低有效 OPT2 控制 EN2, EN3 和 EN4	
STCD2300	EN1, EN2 和 EN3 均为低有效	工厂编程
STCD2310	EN1, EN2 为低有效, EN3 为高有效	
STCD2320	EN1, EN2 为高有效, EN3 低有效	
STCD2330	EN1, EN2 和 EN3 均为高有效	

## 4 应用信息

### 4.1 LDO 输入电容

STCD22x0, STCD23x0 和 STCD24x0 的 LDO 输入需要一个  $1\ \mu\text{F}$  的输入电容（电容值可无限增加）。该电容必须在尽可能接近电路板上  $V_{\text{CC}}$  脚的地方放置，且必须返回干净模拟地。可使用任意高品质的陶瓷、钽或薄膜电容。

### 4.2 LDO 输出电容

STCD22x0, STCD23x0 和 STCD24x0 的 LDO 输出 VTCXO 需要一个  $1\ \mu\text{F}$  的外部电容。STCD22x0, STCD23x0 和 STCD24x0 的设计适用于低 ESR（等效串联电阻）陶瓷电容。要确保 ESR 低于  $500\ \text{m}\Omega$  以稳定 VTCXO。同时，电容公差和温度系数要被考虑在内，以确保任何时候都能够提供最小  $1\ \mu\text{F}$  电容。

### 4.3 LDO BYP 引脚

LDO BYP 脚需要一个  $10\ \text{nF}$  的陶瓷电容以确保低噪声。可使用任何高品质的陶瓷、钽或薄膜电容。该电容应放置在尽可能接近电路板上 BYP 脚的地方。

### 4.4 $\overline{\text{MC}}_{\text{REQ}}$ 引脚

STCD22x0, STCD23x0 和 STCD24x0 中， $\overline{\text{MC}}_{\text{REQ}}$  脚为低有效漏极开路。

由于  $\overline{\text{MC}}_{\text{REQ}}$  为低有效，如果不需要任一时钟输出，STCD22x0, STCD23x0 和 STCD24x0 将被设置为待机模式，内部 LDO VTCXO 关闭。

$\overline{\text{MC}}_{\text{REQ}}$  脚被设计为漏极开路结构。电路板上需要使用一个上拉电阻（推荐使用  $50\ \text{k}\Omega$ ）将该引脚连接到外部  $1.8\ \text{V}$  电源上。通过该引脚的电流要保持在  $3\ \text{mA}$  以内以确保电路的正常功能。

如果应用中不需要使用  $\overline{\text{MC}}_{\text{REQ}}$  功能，用户可将该引脚连接到 GND 或使其断开。STCD2xx0 的其他功能不会受到影响。

## 4.5 相位噪声

相位噪声是一种频域现象，是参考时钟中的一项重要指标。表现为主要由于随机噪声产生的波能量连续扩散。相位噪声以 dBc/Hz 为单位，通常指定为距载波频率（例，26 MHz）某一给定偏移频率（例，10kHz）处的值。相位噪声值为该偏移频率处 1 Hz 带宽内的信号功率与载波频率总功率的比值。时钟树的整体相位噪声应该通过将 STCD22x0，STCD23x0 和 STCD24x0 的加性相位噪声和时钟源（如，TCXO）的相位噪声功率相加获得，如 [等式 1](#) 所示。

### 等式 1

$$PN_T = 10 \log(10^{\frac{PN_C}{10}} + 10^{\frac{PN_X}{10}}) < PN_A$$

$PN_T$  为总体相位噪声，单位是 dBc/Hz

$PN_C$  为 STCD22x0，STCD23x0 和 STCD24x0 的加性相位噪声

$PN_X$  为时钟源的相位噪声

要确保总的相位噪声保持在每个应用  $PN_A$  所需的相位噪声范围内。用户应该选择正确的带有合适相位噪声的 TCXO 来满足这些需要。

## 4.6 抖动

在时域内，能量扩散会造成抖动，和频域范围内的相位噪声是同一种现象。正弦波通过其过零点或方波改变状态时，实际的时钟信号跳变与理想情况不完全相符，因而引起波形交越点的变化。这一交越点的偏差被称为抖动，如图 8 所示。

图 8. 抖动

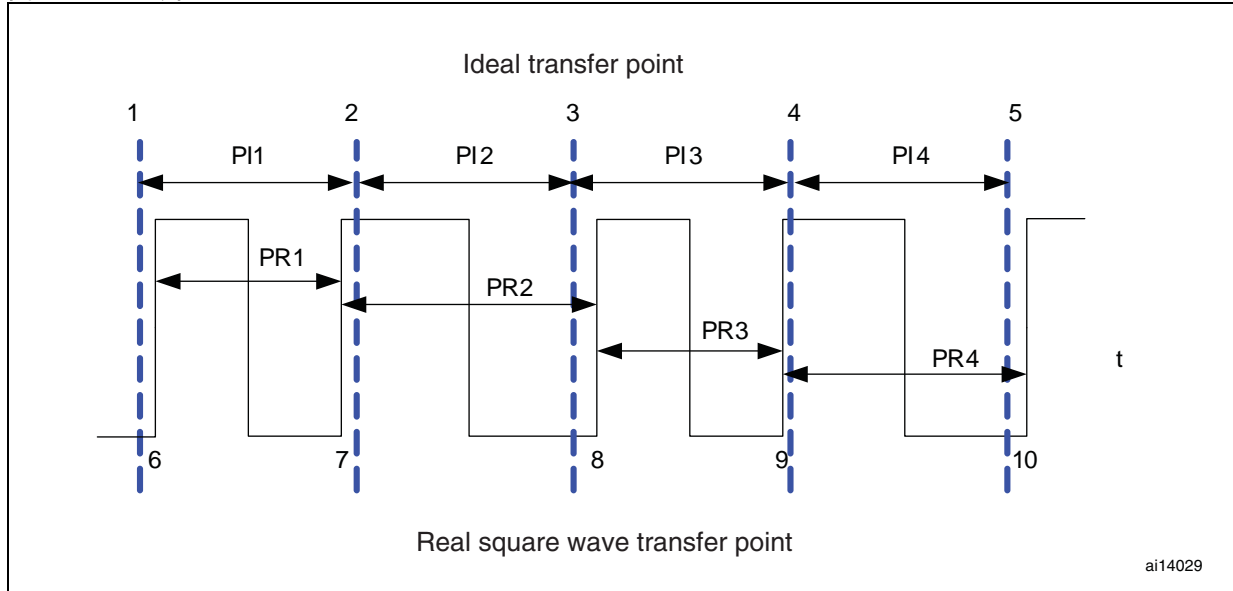


图 8 中，方波理想交越点应该发生在点 1, 2, 3, 4 和 5 上，每一个“理想”周期 PI1 到 PI4 应该相同，因而无时间抖动发生。但实际上，真正的交越点发生在点 6, 7, 8, 9 和 10 上，从而使得“真正的”周期 PR1 至 PR4 不相同，表现为抖动。如果测量每一个循环的真正周期（PR1 至 PR4），就会得到周期抖动。相邻周期期间抖动也可通过计算相邻周期之间的差而获得（例，PR2-PR1, PR3-PR2 …）。

这些抖动周期被称为峰峰值抖动，由最大值减去最小值获得；也可由均方根值（RMS）表示，代表高斯分布的一个标准差。

## 4.7 输出迹线

STCD22x0, STCD23x0 和 STCD24x0 的最大输出阻抗为 50 Ω。在电路板上需使用有正确串联端接的 50 Ω 传输线，以避免信号失真和反射。

## 4.8 典型应用连接

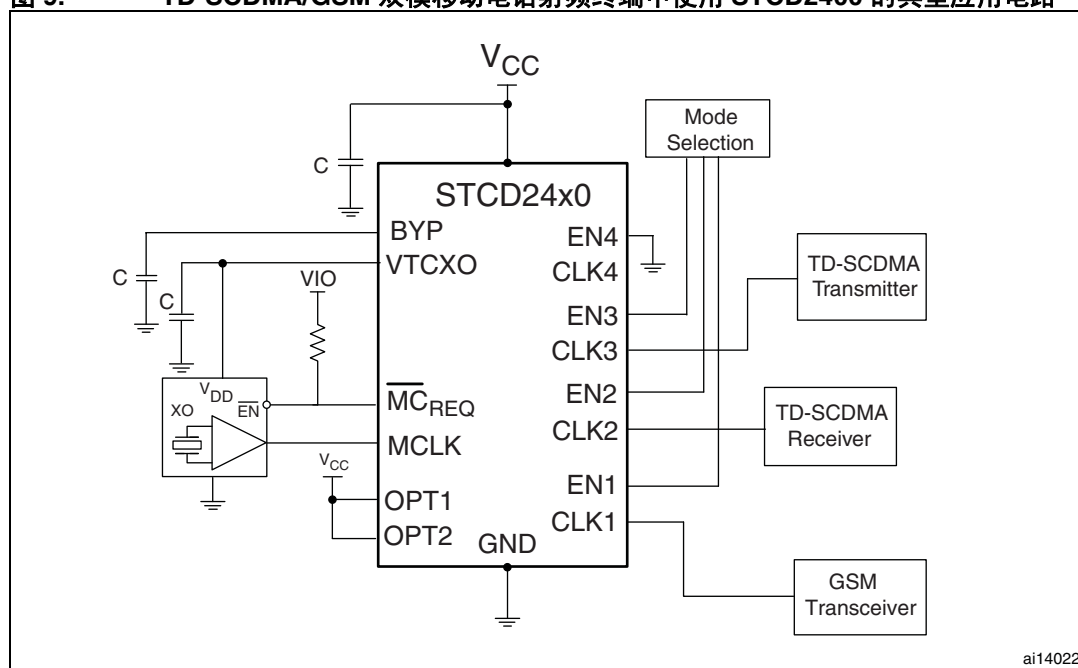
STCD2400 时钟分配电路需要一个源时钟输入作为参考时钟（如，晶振）。输出端最多可连接 4 个器件。使用 STCD2400 的典型应用电路如 [图 9](#) 和 [图 10](#) 所示。 $\overline{MCREQ}$  为低有效漏极开路输出。需要一上拉电阻连接到外部 1.8 V 电源 VIO。如果时钟源使能为高有效，用户可使用 VTCXO 作为主时钟使能控制信号，详情请参考 [图 4](#)。

[图 9](#) 中，来自晶振的时钟被分别分配到 TD-SCDMA 发射器和接收器，以及 GSM 收发器，作为参考时钟使用。

[图 10](#) 中，缓冲器 4 输出被馈入蓝牙系统中。为了达到最低功耗，蓝牙系统都具有时钟请求功能。如果蓝牙系统不需要时钟，时钟请求信号就会关闭时钟输出。使能引脚也可连接到外部 1.8 V 电源上，使缓冲器常通。

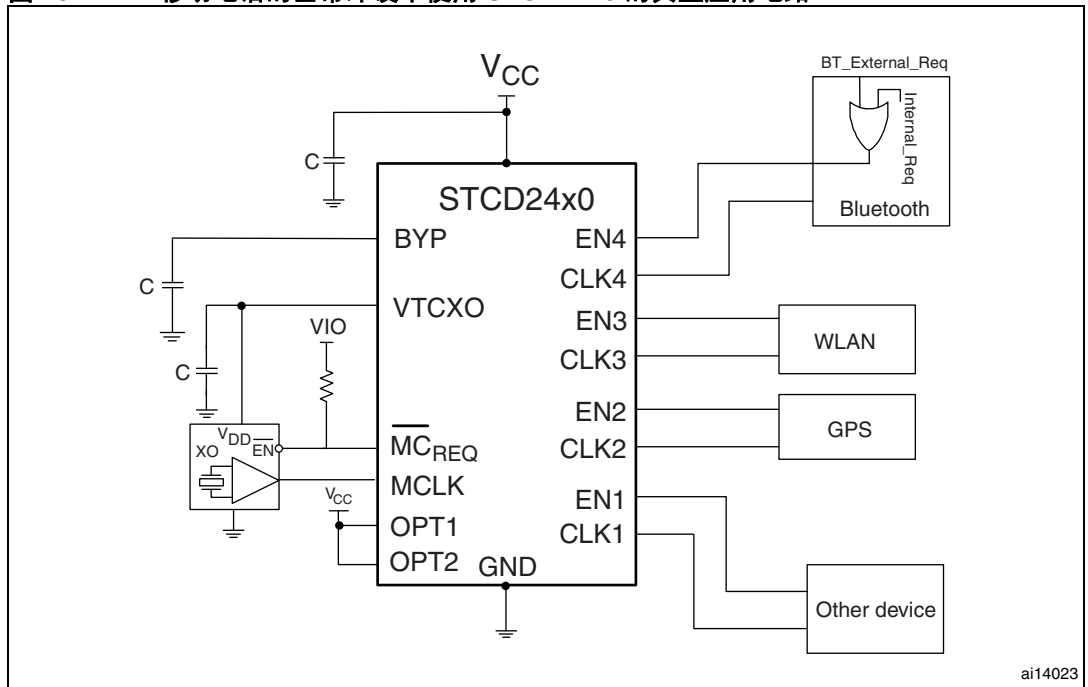
[图 9](#) 和 [图 10](#) 中，由于 OPT1 和 OPT2 接  $V_{CC}$ ，所有输出时钟使能均为高有效。

**图 9. TD-SCDMA/GSM 双模移动电话射频终端中使用 STCD2400 的典型应用电路**



ai14022

图 10. 移动电话的基带外设中使用 STCD24x0 的典型应用电路



## 5 典型工作特性

$T_A = 25\text{ }^\circ\text{C}$ , 每个通道的  $C_{load} = 20\text{ pF}$ ,  $V_{CC} = 3.8\text{ V}$  且  $f_{MCLK} = 26\text{ MHz}$  时的典型工作特性。

图 11. 静态电流 vs. 电源电压 (EN1 = EN2 = EN3 = EN4 = 1, 无主时钟输入)

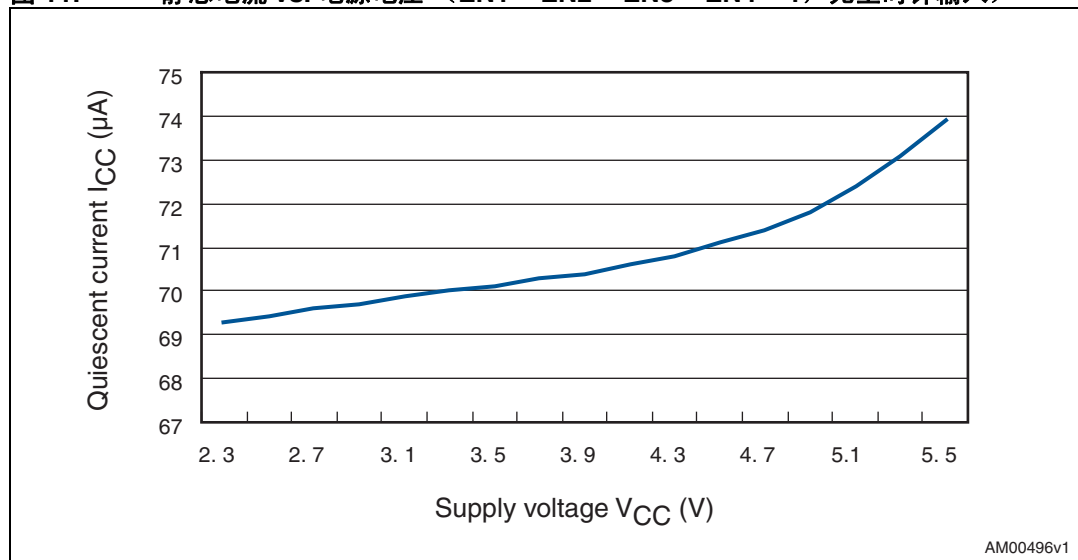


图 12. 静态电流 vs. 温度 (EN1 = EN2 = EN3 = EN4 = 1,  $C_{load} = 20\text{ pF}$ , 无主时钟输入)

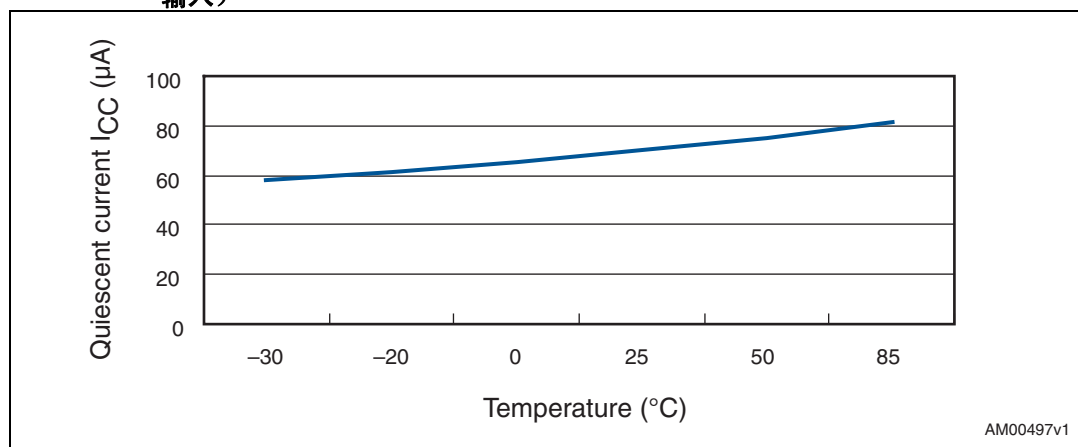
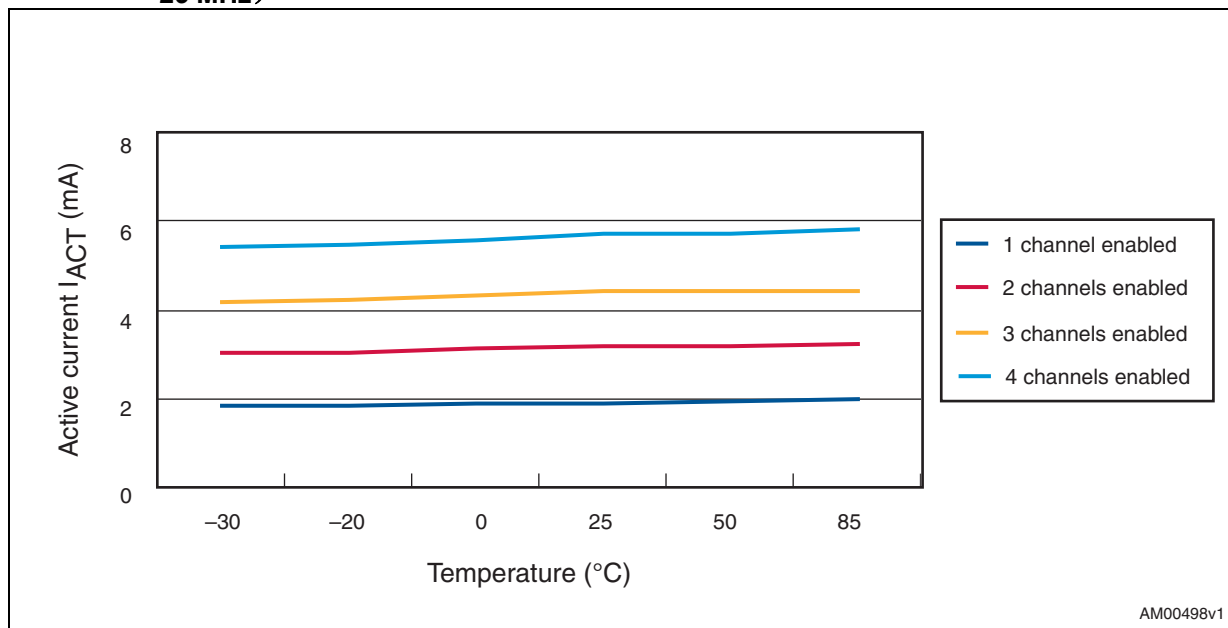
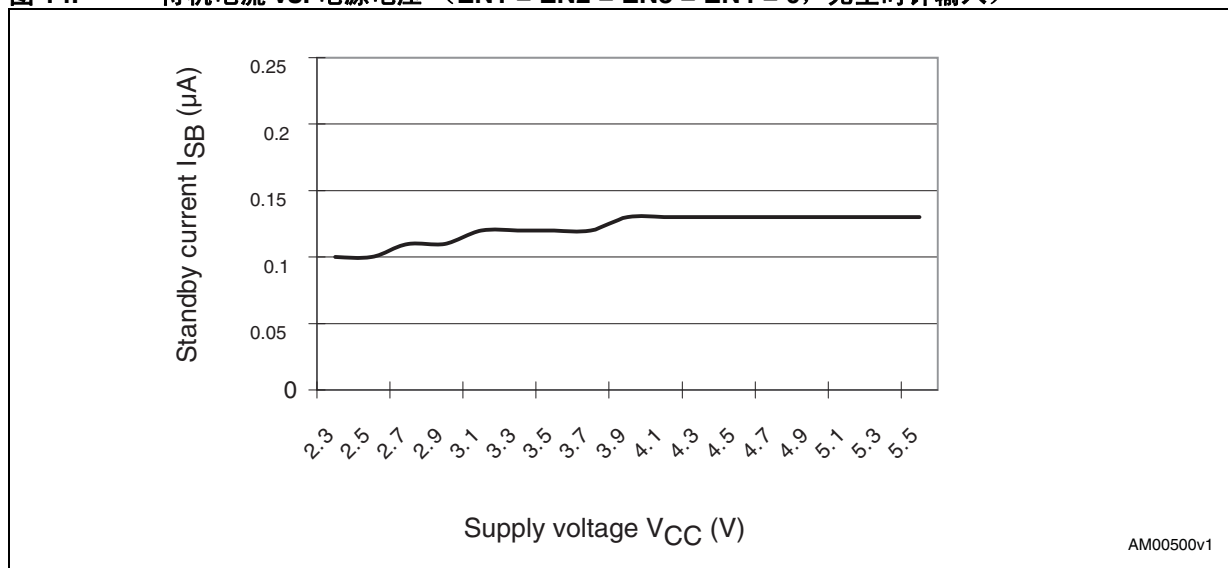


图 13. 工作电流 vs. 温度 (EN1 = EN2 = EN3 = EN4 = 1, C<sub>load</sub> = 20 pF, V<sub>CC</sub> = 3.8 V, f<sub>MCLK</sub> = 26 MHz)



AM00498v1

图 14. 待机电流 vs. 电源电压 (EN1 = EN2 = EN3 = EN4 = 0, 无主时钟输入)



AM00500v1

图 15. 工作电流 vs. 电源电压 (EN1 = EN2 = EN3 = EN4 = 1,  $f_{MCLK} = 26 \text{ MHz}$ ,  $C_{load} = 20 \text{ pF}$ )

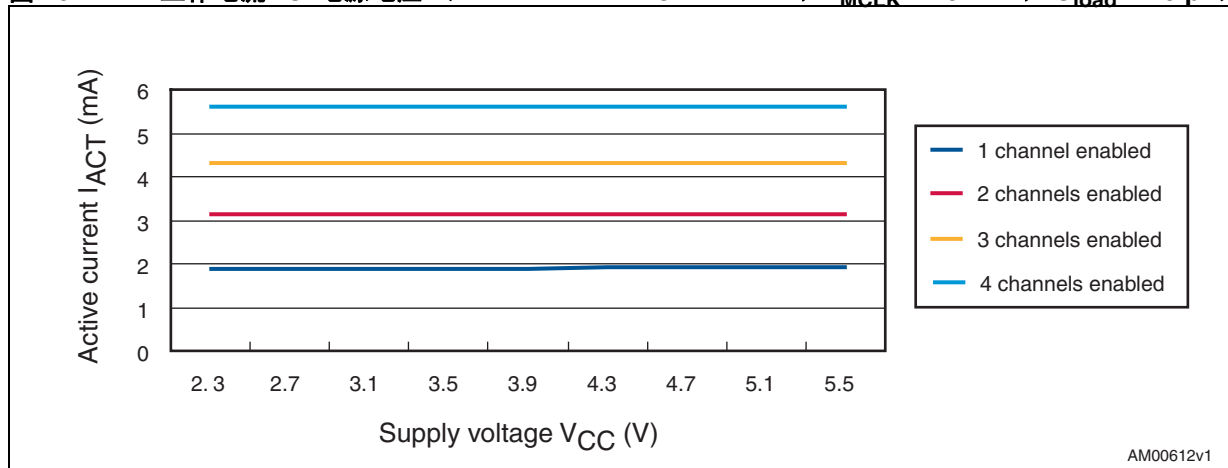


图 16. 工作电流 vs. 主时钟输入电压水平 (EN1 = EN2 = EN3 = EN4 = 1,  $f_{MCLK} = 26 \text{ MHz}$ ,  $C_{load} = 20 \text{ pF}$ )

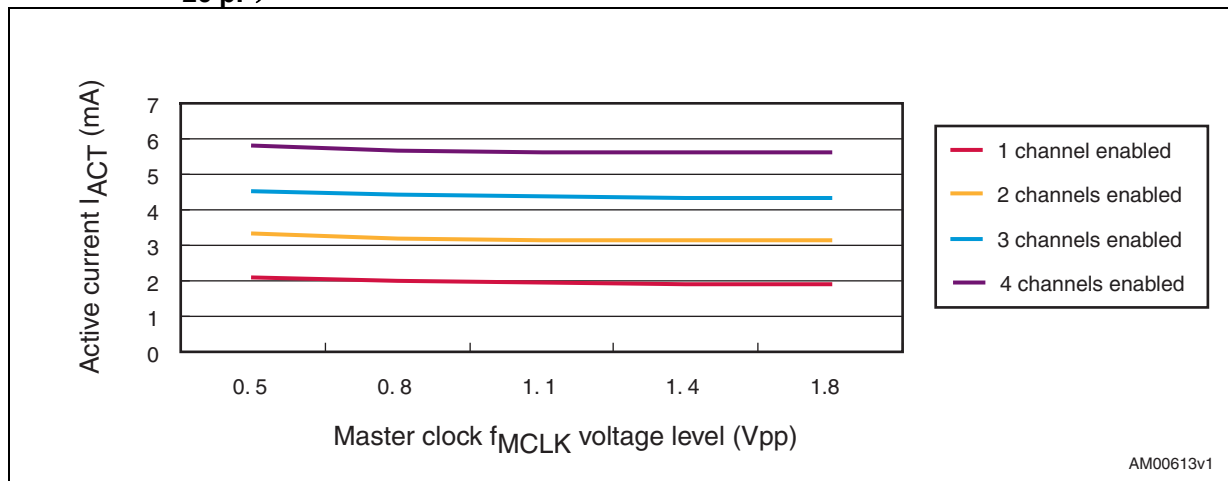


图 17. 工作电流 vs. 主时钟频率 (EN1 = EN2 = EN3 = EN4 = 1,  $C_{load} = 20 \text{ pF}$ )

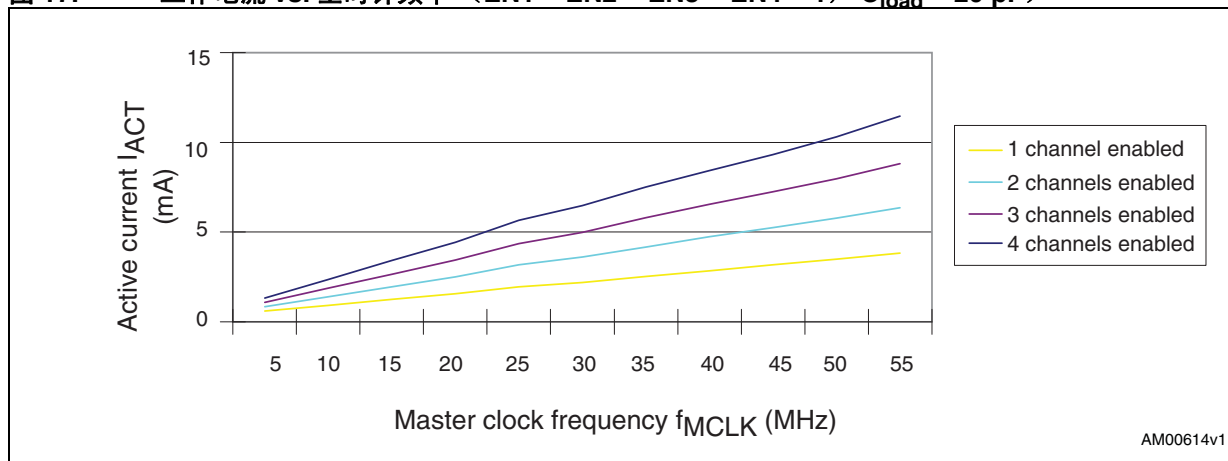


图 18. STCD2400 从待机状态到工作状态所需要的恢复时间 (VTCXO 开启)



图 19. STCD2400 从关闭到开启所需的恢复时间 (VTCXO 先处于待机状态)

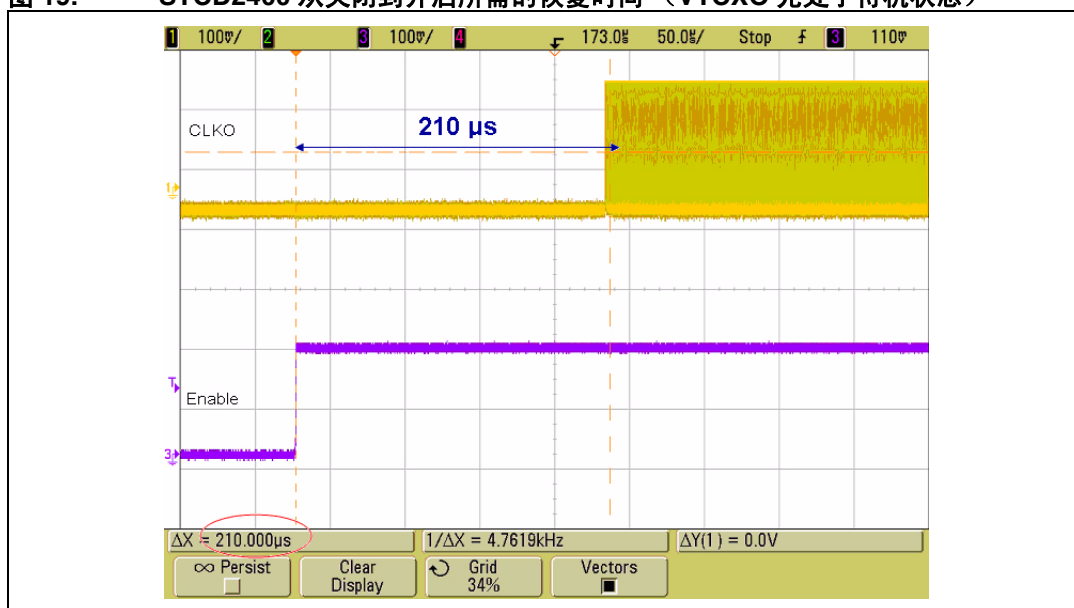


图 20. 输出时钟上升 / 下降时间 ( $C_{load} = 40 \text{ pF}$ )

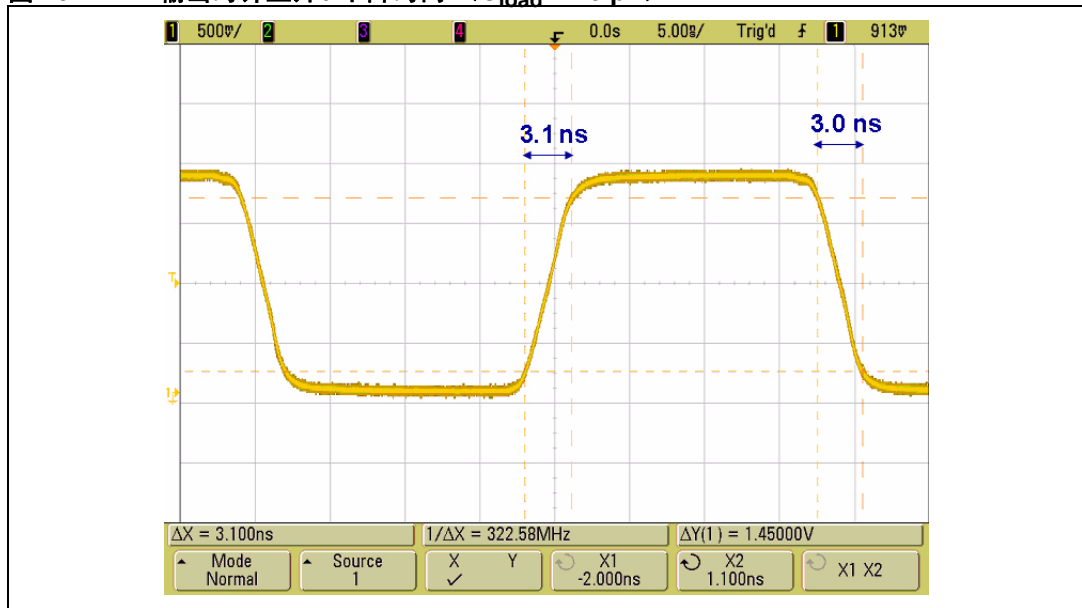


图 21. STCD2400 开启时序

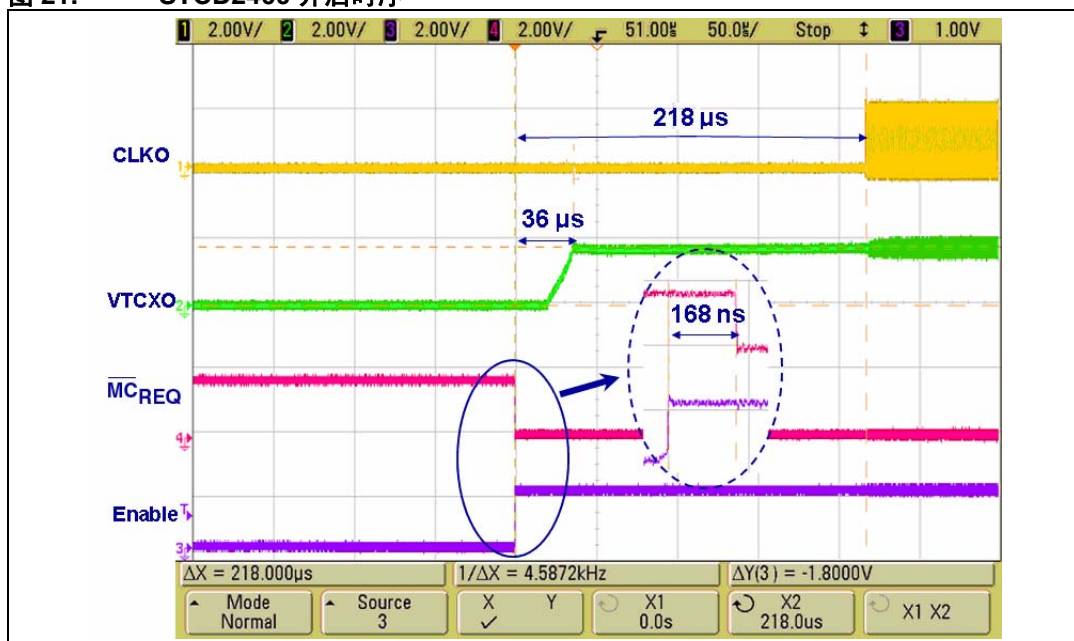


图 22. STCD2400 关闭时序

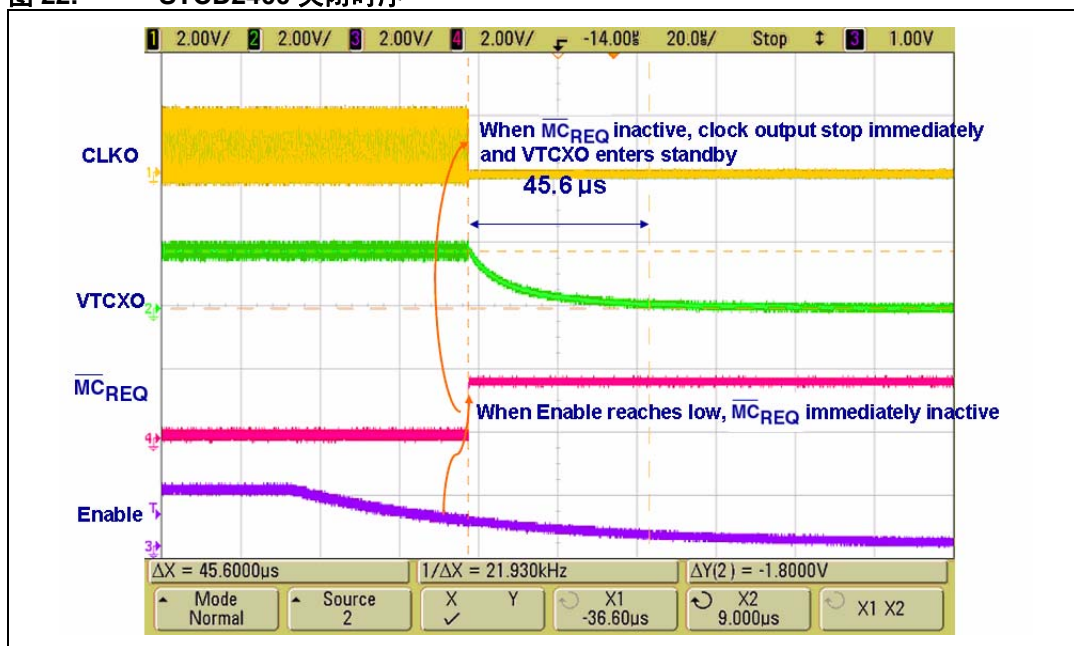


图 23. 相位噪声输入 (来自时钟源, 京瓷 26 MHz 方波晶振 KC2520C26)

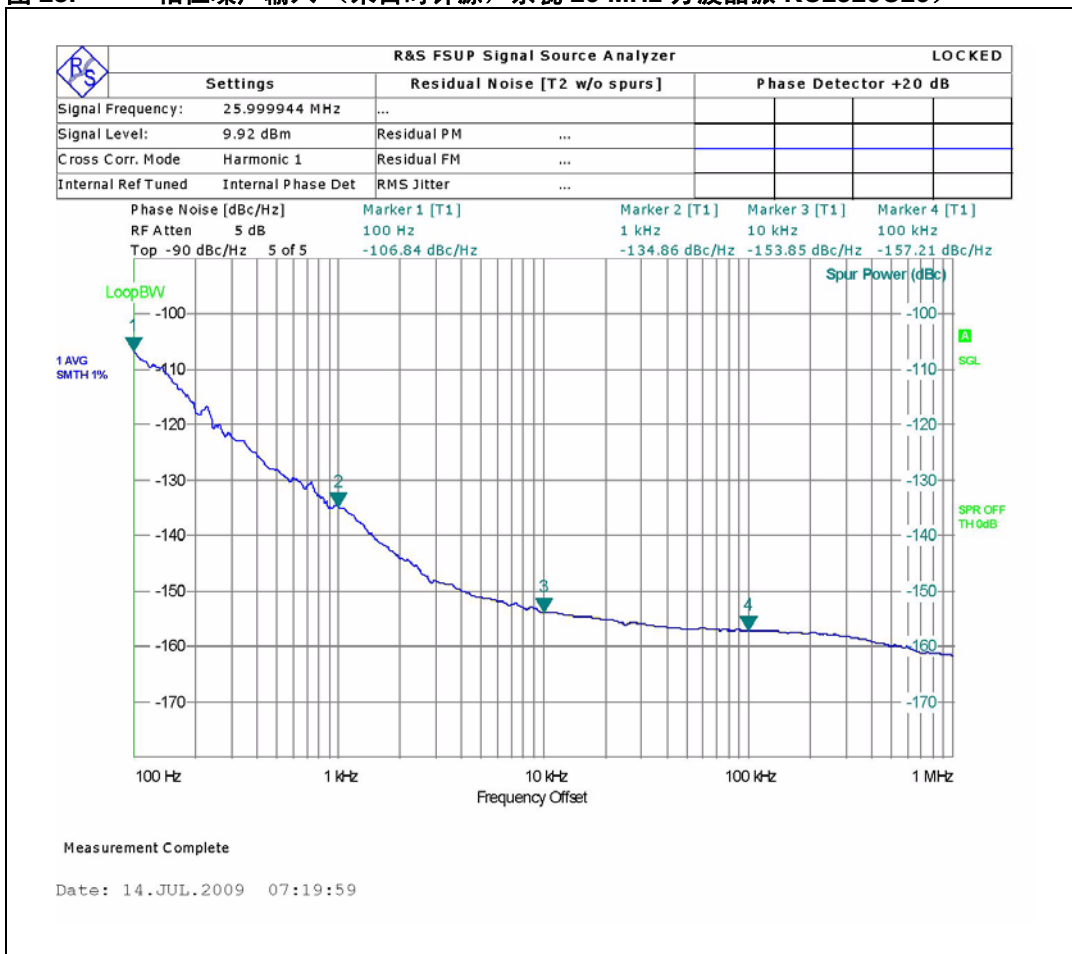
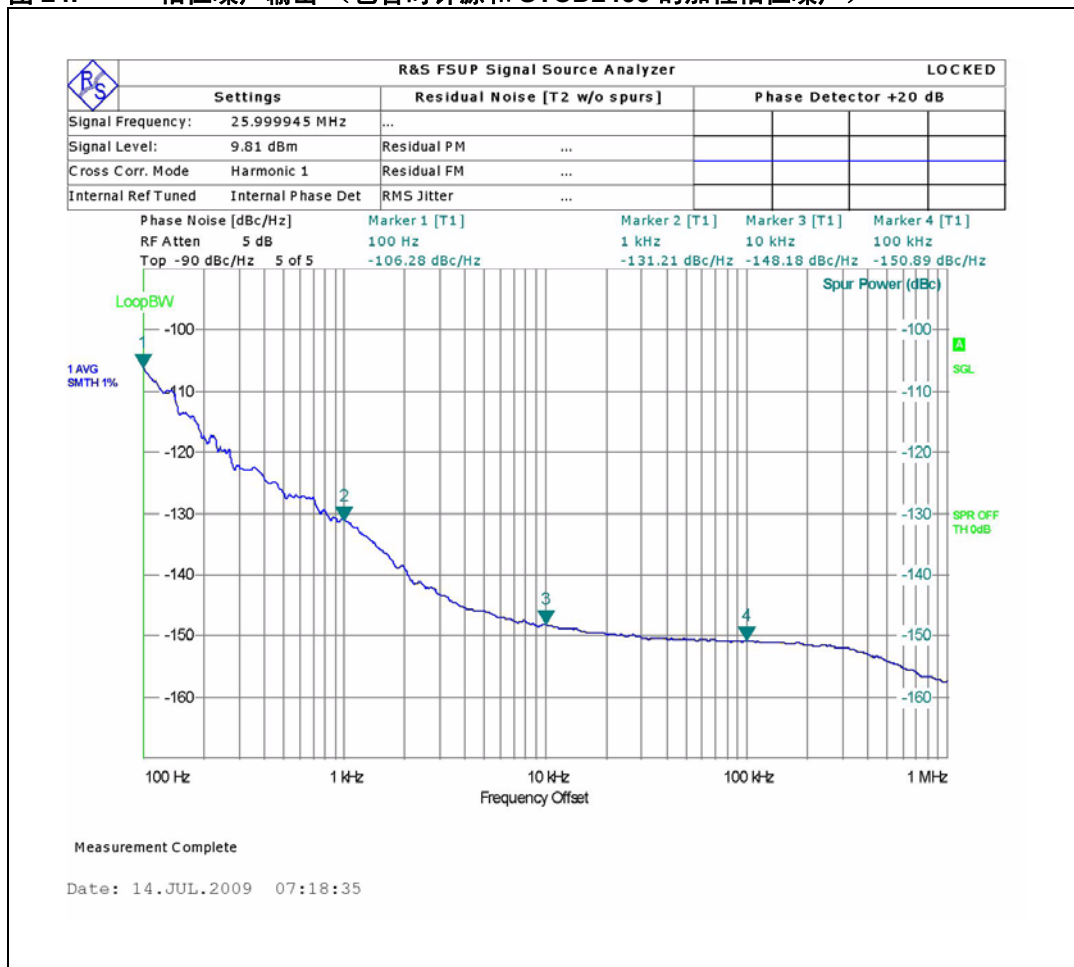


图 24. 相位噪声输出 (包含时钟源和 STCD2400 的加性相位噪声)



## 6 最大额定值

器件被施加的条件超出绝对最大额定值表中列出的额定值可能会对器件造成永久的损坏。这些仅仅是耐受额定值，并不意味着器件可在这些条件下或是超出本说明书工作原理部分指示的任何条件下工作。长期处在绝对最大额定值的条件下会影响器件的可靠度。请参考意法半导体的 SURE 计划和相关的质量文件。

表 8. 绝对最大额定值

Symbol	Parameter	Value	Unit
$T_{STG}$	Storage temperature ( $V_{CC}$ off)	-55 to 150	°C
$T_{SLD}^{(1)}$	Lead-free bump solder temperature for 10 seconds	260	°C
$T_J$	Maximum junction temperature	150	°C
$V_{CC}$	Supply voltage	-0.3 to 6	V
$V_{IN}$	Input clock voltage	-0.3 to 3.6	V
$V_{EN}$	Voltage on enable pins	-0.3 to 3.6	V
$V_{OPT}$	Optional pins voltage	-0.3 to 6	V
$\overline{MC}_{REQ}$	Master clock request	-0.3 to 3.6	V

1. Reflow at peak temperature of 260 °C. The time above 255 °C must not exceed 30 seconds.

## 7 DC 和 AC 参数

这一章节概括了工作测量条件，及器件的直流和交流特性。直流和交流特性表中的参数在测试中获得，这些测试在表 9 中所概括的条件下进行。当需要依靠本节提供的参数时，设计师需要检查电路中的工作条件是否一致。

表 9. 工作和 AC 测量条件

Parameter	Condition	Unit
V <sub>CC</sub> supply	2.5 to 5.1	V
Input source clock voltage (MCLK)	0 to 1.8	V
Output clock voltage (CLK1-4)	0 to 1.8	V
Device enable voltage (EN1-4)	0 to 1.8	V
Source clock request voltage ( $\overline{MC}_{REQ}$ )	0 to 1.8	V
Optional pins voltage (OPT1, OPT2)	0 to V <sub>CC</sub>	V
Ambient operating temperature (T <sub>A</sub> )	-20 to +85	°C
Flip-chip thermal resistance (R <sub>thja</sub> )	90	°C/W

表 10. 直流和交流特性

Sym.	Parameter	Condition <sup>(1)</sup>	Min	Typ	Max	Unit
<b>VTCXO (low dropout output)</b>						
V <sub>CC</sub>	Supply voltage		2.5		5.1	V
V <sub>TCXO</sub>	Output voltage	I <sub>LOAD</sub> = 5 mA	1.75	1.8	1.85	V
I <sub>O</sub>	Maximum output current				20	mA
V <sub>OACC</sub>	Total output accuracy <sup>(2)</sup>		-5%		5%	
I <sub>CL</sub>	Current limit protection	V <sub>TCXO</sub> = 0 V		30	90	mA
V <sub>REG</sub>	Line regulation <sup>(3)</sup>	I <sub>LOAD</sub> = 20 mA		0.5	10	mV
I <sub>REG</sub>	Load regulation <sup>(3)</sup>	I <sub>LOAD</sub> = 10 μA to 20 mA		0.4	10	mV
I <sub>TR</sub>	Load transient <sup>(3)</sup>	I <sub>LOAD</sub> = 10 μA to 20 mA I <sub>TR</sub> = 1 μs		100	110	mV
		I <sub>LOAD</sub> = 20 mA to 10 μA I <sub>TR</sub> = 1 μs		100	110	mV

表 10. 直流和交流特性 (接上表)

Sym.	Parameter	Condition <sup>(1)</sup>	Min	Typ	Max	Unit
PSRR	Power supply rejection ratio <sup>(3)(4)</sup>	$V_{CC} = 2.5\text{ V to }5.1\text{ V}$ , $F_{\text{ripple}} = 217\text{ Hz}$ , $I_{\text{LOAD}} = 20\text{ mA}$	60	67		dB
		$V_{CC} = 2.5\text{ V to }5.1\text{ V}$ , $F_{\text{ripple}} = 1\text{ kHz}$ , $I_{\text{LOAD}} = 20\text{ mA}$	40	60		
		$V_{CC} = 2.5\text{ V to }5.1\text{ V}$ , $F_{\text{ripple}} = 1\text{ MHz}$ , $I_{\text{LOAD}} = 20\text{ mA}$	40			
		$V_{CC} = 2.5\text{ V to }5.1\text{ V}$ , $F_{\text{ripple}} = 3.25\text{ MHz}$ , $I_{\text{LOAD}} = 20\text{ mA}$	40			
$e_N$	Output noise voltage <sup>(3)</sup>	$I_{\text{LOAD}} = 5\text{ mA}$ , 10 Hz to 100 kHz		45		$\mu\text{V}_{\text{rms}}$
$t_{\text{ST}}$	Startup time <sup>(3)</sup>	$V_{\text{TCXO}} > 90\%$ , $I_{\text{LOAD}} = 10\text{ }\mu\text{A to }20\text{ mA}$		150	400	$\mu\text{s}$
$t_F$	Output voltage falling time <sup>(3)</sup>	$V_{\text{TCXO}} < 10\%$ , $I_{\text{LOAD}} = 0$		120	400	$\mu\text{s}$
<b>Clock distribution</b>						
$f_{\text{MCLK}}$	Master clock (from external clock source)	Square wave / sine wave	10	26	52	MHz
	$f_{\text{CLK}}$ duty cycle		40	50	60	%
$V_{\text{IN}}$	Input clock voltage level <sup>(5)</sup>	Square wave	0.8	1.8	$V_{\text{TCXO}} + 0.2$	Vpp
		Sine wave	0.8	1	$V_{\text{TCXO}} + 0.2$	Vpp
$V_{\text{OH}}$	Output high	$C_L = 20\text{ pF}$	$V_{\text{TCXO}} - 0.05$	$V_{\text{TCXO}}$		V
$V_{\text{OL}}$	Output low	$C_L = 20\text{ pF}$			0.05	V
$T_{\text{r/f}}$	Rise/fall time <sup>(6)</sup>	$C_L = 10\text{ pF} \sim 40\text{ pF}$	1	2	5	ns
$I_{\text{QC}}$	Quiescent current <sup>(7)</sup> (including LDO)	1 channel enabled		80	200	$\mu\text{A}$
		2 channels enabled		80	200	
		3 channels enabled		80	200	
		4 channels enabled		80	200	
$I_{\text{CC}}$	Active current <sup>(8)</sup>	1 channel enabled		1.9		mA
		2 channels enabled		3.0		
		3 channels enabled		4.1		
		4 channels enabled		5.2		
$I_{\text{SB}}$	Standby current (including LDO)	All buffers off		0.2	1	$\mu\text{A}$
$R_{\text{IN}}$	Input impedance			> 100		k $\Omega$

表 10. 直流和交流特性 (接上表)

Sym.	Parameter	Condition <sup>(1)</sup>	Min	Typ	Max	Unit
C <sub>IN</sub>	Input capacitance			3	4	pF
I <sub>OO</sub>	Output to output isolation			45		dB
I <sub>OI</sub>	Output to input isolation			45		dB
V <sub>ENH</sub>	Enable voltage high <sup>(9)</sup>	For EN1-EN4	1.2			V
V <sub>ENL</sub>	Enable voltage low <sup>(9)</sup>	For EN1-EN4			0.6	V
V <sub>OPTH</sub>	OPT pins voltage high	For OPT1 and OPT2	V <sub>CC</sub> - 0.3	V <sub>CC</sub>		V
V <sub>OPTL</sub>	OPT pins voltage low	For OPT1 and OPT2		GND	GND + 0.3	V
P <sub>N</sub>	Additive phase noise <sup>(3)(10)</sup>	at 1 kHz offset		-135		dBc/ Hz
		at 10 kHz offset		-145		
		at 100 kHz offset		-150		
t <sub>JP</sub>	Additive period jitter <sup>(3)</sup>	rms value		10		ps
t <sub>JC</sub>	Additive cycle-cycle jitter <sup>(3)</sup>	rms value		10		ps
t <sub>RECB</sub>	Buffer recovery time from off to on	STCD2xx0 active		1	10	μs
t <sub>RECC</sub>	STCD2xx0 recovery time from standby to active (include LDO wakeup time)				500	μs
t <sub>PD</sub>	Input to output propagation delay <sup>(3)</sup>	Voltage transfer at 50%		3.5	6	ns
C <sub>L</sub>	Capacitive load for each channel			20	40	pF
R <sub>L</sub>	Resistive load for each channel		10			kΩ
Z <sub>OUT</sub>	Output impedance for each channel				50	Ω

- Valid for ambient operating temperature: T<sub>A</sub> = -20 °C to 85 °C; V<sub>CC</sub> = 2.5 V to 5.1 V; typical T<sub>A</sub> = 25 °C; load capacitance = 20 pF, f<sub>MCLK</sub> = 26 MHz (except where noted).
- Total accuracy includes line and load regulation, temperature and process condition. It does not include load and line transients.
- Simulated and determined via design and not 100% tested.
- Ripple voltage = 0.1 V<sub>pp</sub>.
- Clock input voltage level should not exceed VTCXO voltage.
- The rise time is measured when clock edge transfers from 10% V<sub>CC</sub> to 90% V<sub>CC</sub>. The fall time is measured when clock edge transfers from 90% V<sub>CC</sub> to 10% V<sub>CC</sub>. The output rise/fall time is guaranteed for all input slew rates.
- The quiescent current is measured when the enable pins are active, but with no input master clock signal (f<sub>MCLK</sub> = 0 Hz).
- The active current depends on the input master clock V<sub>pp</sub> and frequency and the load condition. The typical test condition is 26 MHz with 1.8 V<sub>pp</sub> master clock input, C<sub>L</sub> = 20 pF.
- The test condition is V<sub>ENH</sub> = 1.8 V and V<sub>ENL</sub> = 0 V. When output enables simultaneously, there is no intentional skew in design between the output clocks.
- Guaranteed for all input clock slew rates.

## 8 封装机械数据

为了符合环境要求，ST 的这些产品根据其不同的环境符合性，采用不同级别的 ECOPACK<sup>®</sup> 封装。ECOPACK<sup>®</sup> 说明，级别定义以及产品状态请见 [www.st.com](http://www.st.com)。ECOPACK<sup>®</sup> 为 ST 商标。

图 25. 12 焊球倒装，封装机械外形图

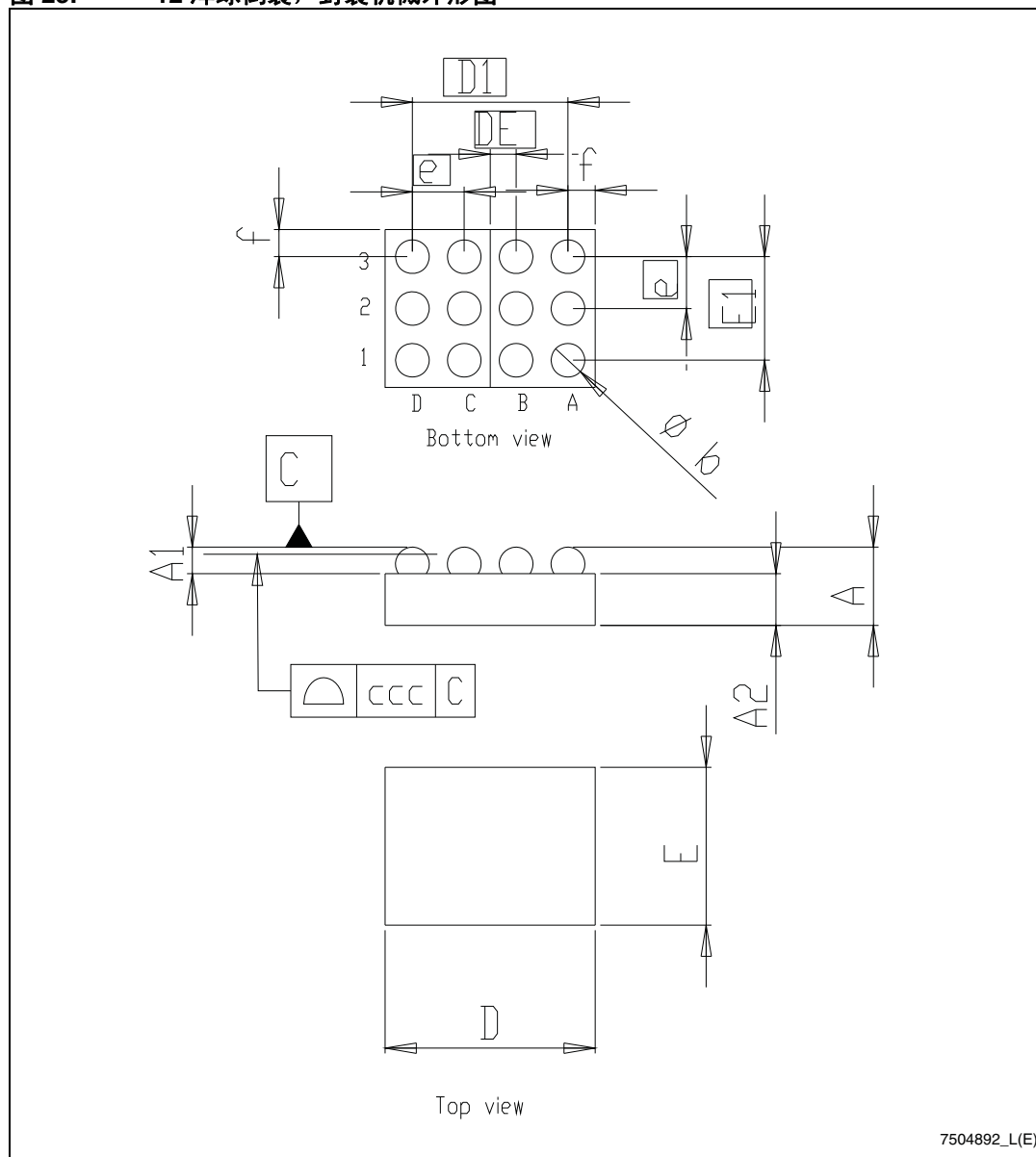


表 11. 12 焊球倒装, 封装机械数据

Symbol	mm			in		
	Min	Typ	Max	Min	Typ	Max
A	0.55	0.61	0.66	0.022	0.024	0.026
A1	0.17	0.21	0.24	0.007	0.008	0.009
A2	0.38	0.40	0.42	0.015	0.016	0.017
b	0.22	0.26	0.30	0.008	0.010	0.012
D	1.55	1.60	1.65	0.061	0.063	0.065
D1		1.20			0.047	
E	1.15	1.20	1.25	0.045	0.047	0.049
E1		0.80			0.031	
e	0.36	0.40	0.44	0.014	0.016	0.017
DE	0.18	0.20	0.22	0.007	0.008	0.009
f	0.185	0.195	0.210	0.007	0.008	0.008
ccc		0.05			0.002	

图 26. 16 焊球倒装，封装机械外形图

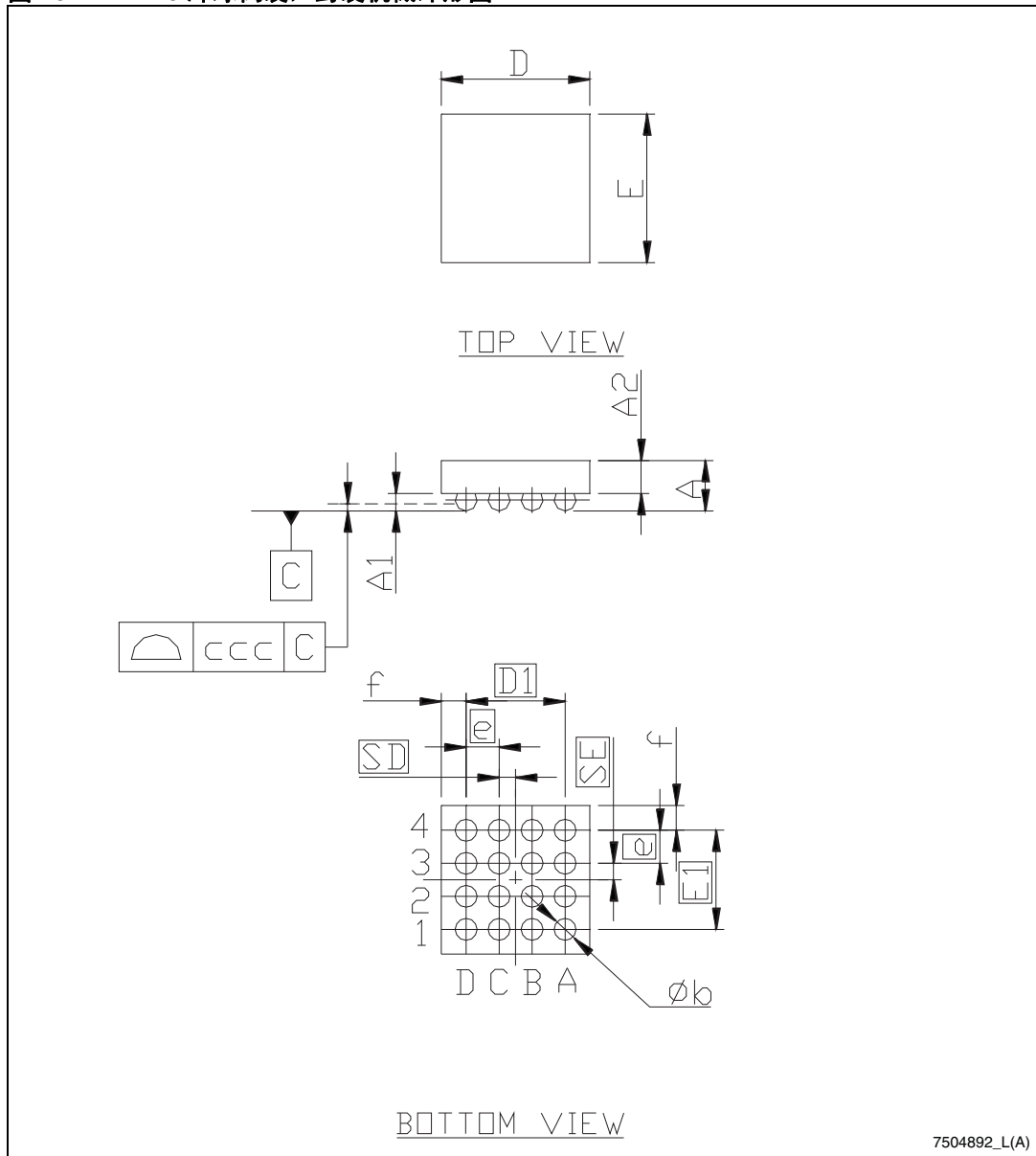


表 12. 16 焊球倒装, 封装机械数据

Symbol	mm			in		
	Min	Typ	Max	Min	Typ	Max
A	0.55	0.61	0.66	0.022	0.024	0.026
A1	0.17	0.21	0.24	0.007	0.008	0.009
A2	0.38	0.40	0.42	0.015	0.016	0.017
b	0.22	0.26	0.30	0.008	0.010	0.012
D	1.55	1.60	1.65	0.061	0.063	0.065
D1		1.20			0.047	
E	1.55	1.60	1.65	0.061	0.063	0.065
E1		1.20			0.047	
e	0.36	0.40	0.44	0.014	0.016	0.017
SD	0.18	0.20	0.22	0.007	0.008	0.009
SE	0.18	0.20	0.22	0.007	0.008	0.009
f	0.185	0.195	0.210	0.007	0.008	0.008
ccc		0.05			0.002	

图 27. 12 焊球倒装, 封装带卷规格

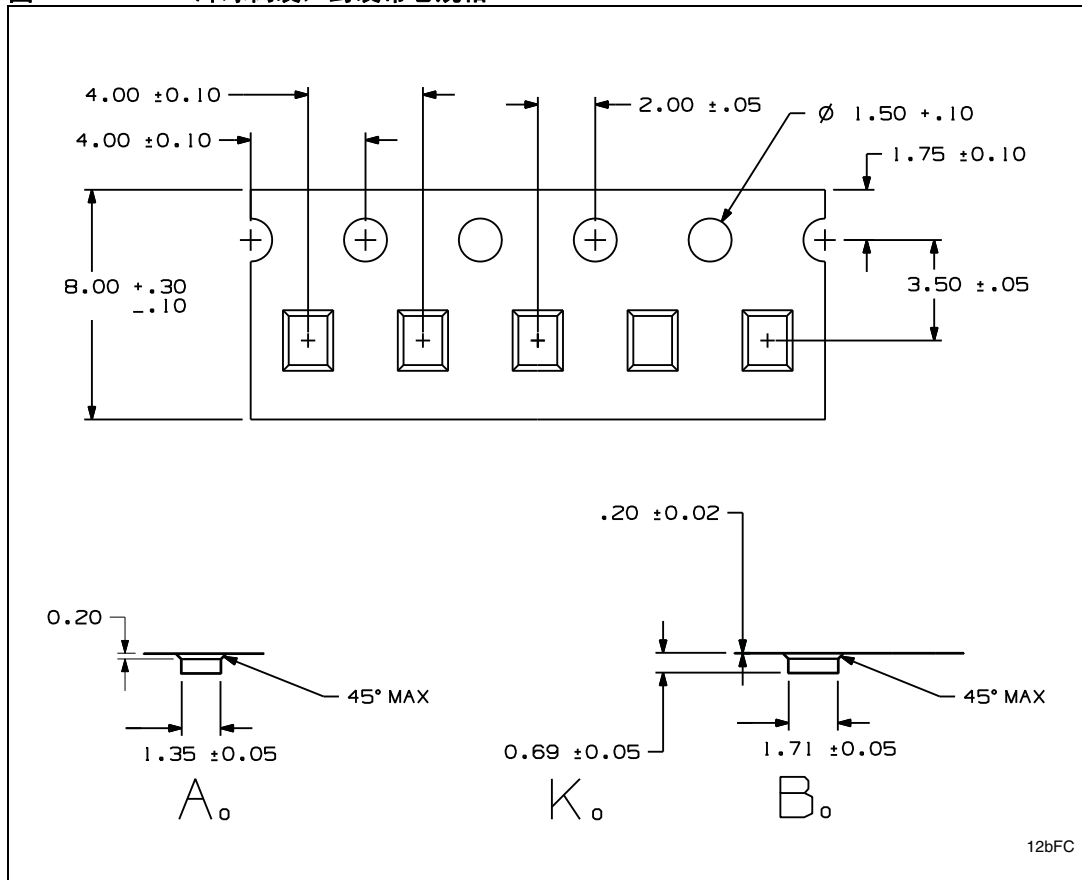
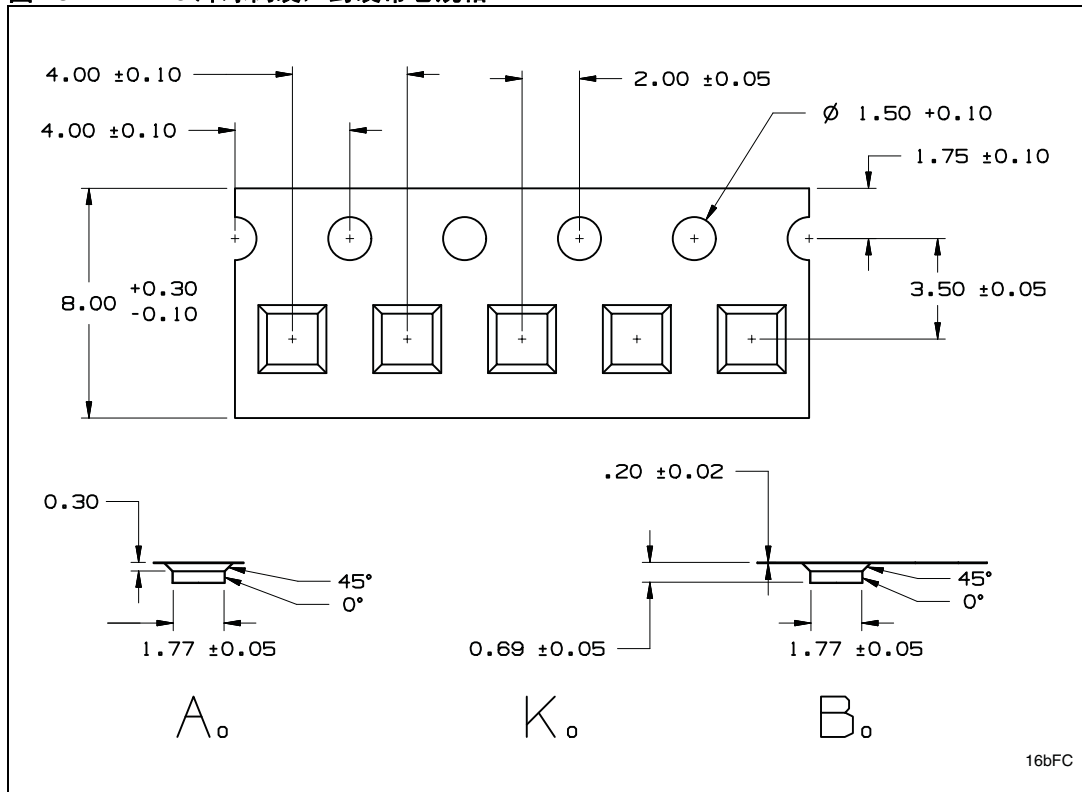


图 28. 16 焊球倒装，封装带卷规格



## 9 器件命名规则

**表 13. 产品订购信息表**

例:	STCD	22	0	0	F3	5	F
<b>器件类型</b>							
STCD = 时钟分配电路							
<b>通道</b>							
22 = 2- 通道 <sup>(1)</sup>							
23 = 3- 通道 <sup>(1)</sup>							
24 = 4- 通道							
<b>使能极性</b>							
STCD22x0 (用户编程)							
0 = OPT1 设置 EN1, OPT2 设置 EN2							
STCD23x0 (工厂编程)							
0 = $\overline{EN1}$ , $\overline{EN2}$ , $\overline{EN3}$							
1 = $\overline{EN1}$ , $\overline{EN2}$ , EN3							
2 = EN1, EN2, $\overline{EN3}$							
3 = EN1, EN2, EN3							
STCD24x0 (用户编程)							
0 = OPT1 设置 EN1 和 EN2, OPT2 设置 EN3 和 EN4							
1 = OPT1 设置 EN1, OPT2 设置 EN2, EN3 和 EN4 <sup>(1)</sup>							
<b>主时钟请求 (<math>\overline{MC}_{REQ}</math>)</b>							
0 = $\overline{MC}_{REQ}$ 低有效							
<b>封装</b>							
F3 = 倒装封装, 无铅, 焊球间距 = 400 $\mu\text{m}$ , 焊球尺寸 = 250 $\mu\text{m}$							
(2 或 3 通道为 12 焊球, 3 通道为 16 焊球)							
<b>温度范围</b>							
5 = -20 °C 至 +85 °C							
<b>装运方式</b>							
F = ECOPACK® 封装, 带卷式							

1. 查看产品供货情况, 请联系当地 ST 销售部门。

其它选择, 或需了解产品任何方面的更多信息, 请联系最近的 ST 销售部门。

## 10 修订历史

表 14. 文件修订历史

日期	版本	修订
2009-08-26	1	初始版本。
2010-01-11	2	更新 <a href="#">表 10: 直流和交流特性</a> 中的脚注 <a href="#">5</a> 。

本文是相关正式英文文档之中文译文。我们试图提供内容的精确翻译，如因翻译中可能存在的差异或错误，对用户或第三方造成损害或其它后果，意法半导体公司概不负责。如需确认本产品完整精确的信息，请参考意法半导体公司提供的正式英文文档。

**请仔细阅读以下内容：**

本文中的信息仅和相关的 ST 产品相联系。意法半导体公司和它的子公司（“ST”）保留在任何时候对本文以及本文所述的产品和服务做出变动，更正，修改或升级的权利，恕不另行通知。

所有 ST 的产品都按照 ST 的销售条款和条件进行销售。

买方独自对本文所述的 ST 的产品及服务的选用，选择和使用负责，ST 不对任何与选用，选择和使用 ST 的产品及服务的相关事务负责。

本文并未通过默许或采用其它方式明示或暗示，对任何知识产权予以授权。如果本文任何一部分涉及到第三方产品或服务，不能认为是 ST 授权使用这些第三方产品或服务，或任何包含其中的知识财产；也不能作为以任何方式使用这些第三方产品或服务，或任何包含其中的知识财产的担保。

除非 ST 的销售条款和条件中另有规定，ST 否认任何明示或暗示的关于使用和 / 或出售 ST 产品的担保，包括但不限于商用性，针对特定用途的适用性（及其任何司法管辖范围内的法律等效性），或侵犯任何专利，版权或其他知识产权的默示担保。

如果没有 ST 授权代表明确的书面批准，ST 的产品不推荐，授权或许可用于军事，航天，航空，救生，或生命支持应用，也不用于因失灵或故障可能导致人身伤害，死亡，或严重的财产或环境破坏的产品或系统中。没有被指定为“汽车级”的 ST 产品如被用于汽车应用，则由用户自己承担风险。

转售的 ST 产品的规定若与本文中阐明的陈述和 / 或技术特性不同，则本文所述的对 ST 的产品和服务的担保都将立即无效，ST 不对以任何方式产生或延伸的责任负责。

ST 和 ST 标识是意法半导体公司在不同的国家的商标或注册商标。

本文中的信息取代和替换以前提供的所有中文版本的信息。

ST 标识是意法半导体公司的注册商标。所有其他名称是他们各自拥有者的财产。

© 2010 意法半导体公司 - 版权所有

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马尔他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美国

www.st.com

